

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平4-132075

⑬ Int. Cl.⁵
G 11 C 11/401

識別記号 庁内整理番号
8526-5L G 11 C 11/34

⑭ 公開 平成4年(1992)5月6日
362 C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-250856
⑰ 出 願 平2(1990)9月20日

⑱ 発明者 植屋 仁孝 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑲ 出願人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

非選択状態においても内部ロウアドレス信号を保持するロウアドレスバッファと、選択時に外部から与えられた外部アドレス信号と前記ロウアドレスバッファが保持していた内部ロウアドレス信号とを比較して不一致のときに不一致を示す信号を発生するアドレス比較回路と、前記不一致を示す信号に応答して動作するとともに非選択状態においてもロウアドレスデコーダおよびセンスアンプの動作を維持させるタイミング発生回路とを含むことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体記憶装置に関し、特にダイナ

ミック式ランダムアクセスメモリのロウアドレスのアクセスに関する。

【従来の技術】

従来ダイナミック式ランダムアクセスメモリにおいては、外部RAS信号の立ち下りによってロウアドレス系の回路が動作してロウアドレスを選択し、次いで外部CAS信号の立ち下りによってカラムアドレス系の回路が動作してカラムアドレスを選択するという構成になっている。そしてRAS信号およびCAS信号の立ち上り(チップの非選択)によって両アドレス系の回路の動作を終了させ、次のRAS信号の立ち下りによって再びロウアドレス系の動作を立ち上がらせている。

【発明が解決しようとする課題】

上述した従来の半導体記憶装置では、時間と電力を消費するロウアドレス系回路の動作を開始させカラムアドレス系の動作をした後でチップの非選択によりすべての信号がリセットされるため、次のサイクルで同じロウアドレスをアクセスしてもロウアドレス系回路は同じ動作を繰り返す構成

となっているので、消費電力が増えかつアクセス時間が遅くなるという欠点がある。

したがって本発明の目的は消費電力の増加およびアクセス時間の増加を抑えることのできる半導体記憶装置を提供することにある。

【課題を解決するための手段】

本発明の半導体記憶装置は、チップが非選択になってしまっても内部ロウアドレスを保持するロウアドレスバッファと、次の選択時に加えられた外部アドレスと既に保持している内部ロウアドレスとを比較するアドレス比較回路と、保持した内部ロウアドレスと外部アドレスとが異なった時のみ動作するタイミング発生回路と、このタイミング発生回路の出力により制御されチップが非選択になってしまっても動作状態を保つロウアレスデコーダおよびセンスアンプとを有している。

【実施例】

次に図面を参照して本発明の実施例を説明する。

第1図を参照すると、本発明の一実施例の半導体記憶装置10は、点線で囲まれた部分を1つの

チップ上有しており、端子1, 2, 3, 4および5にRAS信号、CAS信号、WE信号、複数ビットのアドレス信号A₁、および書き込みデータD₁₀が外部からそれぞれ供給される。出力端子6からは読み出しデータD_{...}が出力され、電源端子7, 8には電源V_{cc}および接地電位GNDが接続される。必要に応じATD端子9から_{ATD}信号をとり出す。本実施例の記憶装置10は、ロウアドレス系の回路としてアドレス比較回路11、ロウアドレスバッファ12、ロウアレスデコーダ13、タイミング発生回路14を有しており、カラムアドレス系としてカラムアドレスバッファ21、カラムアレスデコーダおよびカラムスイッチ22、CAS系タイミング発生回路23を有し、さらにメモリアレイおよびセンスアンプ31、データインバッファ32、データアウトバッファ33を有する。

アドレス比較回路11は例えば他の論理和回路で構成され、外部からのRAS信号と外部からのアドレス信号A₁と内部ロウアドレス信号X₁

とを受け、RAS信号によって活性化してアドレス信号A₁とX₁とを比較し、アドレス不一致信号_{ATD}を出力する。ロウアレスバッファ12は例えばD型フリップフロップで構成され、端子₁からの外部アドレス信号A₁とロウアレスストローブ信号_{X1}とを受けてロウアレス信号X₁を出力する。ロウアレスデコーダ13は例えば多入力AND回路で構成され、ロウアレス信号X₁とワード線活性化信号_{WL}とを受けてn本のワード線WL_n(n=2¹)の内の1本を選択する。メモリアレイ1は例えば記憶用キャッシュとゲート端子がワード線に、ドレイン端子がキャッシュに、ソース端子がビット線に接続されたMOSFETとからなるメモリセルがマトリクス状に配置されて構成され、n本のワード線WL_nが入力され、n本のビット線BL_nが出力される。またセンスアンプ1は例えばMOSFETによるフリップフロップで、電源GND間にMOSFETを配置され、フリップフロップの入出端にビット線が接続される構成を有し、上記のMOSFET

を制御するセンスアンプ活性化信号_{SAA}を受ける。タイミング発生回路14は例えば多段の論理ゲートによって構成され、アドレス不一致信号_{ATD}を受けて、ロウアレスストローブ信号_{X1}、ロウアレスデコーダ活性化信号_{WA}、センスアンプ活性化信号_{SAA}を時間差をつけてそれぞれ出力し、ロウアレスバッファ12、ロウアレスデコーダ13、センスアンプ1へそれぞれ供給する。

一方、CAS系タイミング発生回路23は例えば多段の論理ゲートで構成され、外部端子2, 3からCAS信号、WE信号を受けて、カラムアドレスストローブ信号_{Y1}およびリードライトコントロール信号_{RWC}を出力する。カラムアレスバッファ21は例えばD型フリップフロップで構成され、外部端子₄からのアドレス信号A₁と回路23からのカラムアレスストローブ信号_{Y1}とを受けて、カラムアレス信号Y₁を出力する。カラムアレスデコーダ22は例えば多入力AND回路によって構成され、内部カラムアドレ

ス Y_i を受けて1つのカラムスイッチのゲートのみを活性化する。カラムスイッチは例えばn本のビット線 B_{Ln} にn個のトランスマッターゲートが接続しその一方の端はデータバスDBに接続しゲート端子はn個のカラムアドレスデコーダの出力に接続された構成を有する。データバスDBはデータアウトバッファ33およびデータインバッファ32に接続される。データアウトバッファ33は例えばMOSFETの増幅回路で構成され、リードライトコントロール信号 ϕ_{RWC} を受けてデータバスDBの信号を出力データD_{...i}として外部出力端子6に出力する。データインバッファ32は例えばMOSFETの増幅回路で構成されリードライトコントロール信号 ϕ_{RWC} を受けて外部端子5の入力信号D_{i...x}をデータバスDBに出力する。

次に第2図のタイミングチャートをも参照しつつ第1図の実施例の動作を説明する。

T₁サイクルにおいて、外部CAS信号の立ち下りに応答して比較回路11が活性化し、その時

来るまでロウアドレスバッファ12はこのロウアドレス X_i （例では X_1 ）を保持し続ける。ロウデコード活性化信号 ϕ_{RA} は、アドレス不一致信号 ϕ_{ATD} の発生によって非活性化されロウアドレスデコーダ13を不活性化してそれを選択していたワード線WL₁の信号を落す。そして ϕ_{RWC} によってロウアドレスバッファ12が動作して新しいロウアドレス X_i （例では X_1 ）が出力された後のタイミングでロウアドレスデコーダ活性化信号 ϕ_{RA} は再び活性化されてロウアドレスデコーダ13を活性化し、新しいロウアドレス X_i をデコードしてワード線WL₁を選択し活性化する。センスアンプ活性化信号 ϕ_{SA} はアドレス不一致信号 ϕ_{ATD} の発生によって非活性化されロウアドレスデコーダ13が ϕ_{RA} によって活性化されその出力（ワード線WL₁選択信号）が確定したタイミングで再び活性化される。これによりセンスアンプ31が動作しワード線WL₁上のメモリセルに書き込まれていたデータをビット線 B_{Ln} に出力する。

にアドレス端子4に与えられた外部ロウアドレス信号A_i（この例では X_1 ）と既にロウアドレスバッファ12に保持されていた先の外部ロウアドレスA_i（ X_1 ）にもとなく内部ロウアドレス信号X_i（この例では X_1 ）とがアドレス比較回路11によって比較される。この例では外部アドレスA_i（ X_1 ）とロウアドレスX_i（ X_1 ）とは等しくないので、アドレス比較回路11はアドレス不一致信号 ϕ_{ATD} を発生する。

アドレス不一致信号 ϕ_{ATD} はタイミング発生回路14に入力されロウアドレスストローブ信号 ϕ_{RSTB} 、ロウアドレス活性化信号 ϕ_{RA} 、センスアンプ活性化信号 ϕ_{SA} に変化を与える。すなわちロウアドレスストローブ信号 ϕ_{RSTB} は、アドレス不一致信号 ϕ_{ATD} のトリガによりワンショット信号として発生され、その信号によってロウアドレスバッファ12はその時の外部アドレスA_i（この例では X_1 ）を内部のフリップフロップに取り込み、新ロウアドレスX_i（ X_1 ）として出力する。以後、次のロウアドレスストローブ信号 ϕ_{RSTB} が

以上の本実施例の動作が従来と異なっているところであり、従来は第3図に示すようにCAS信号の立上りに応じてロウアドレスバッファの内部ロウアドレス X_i もロウアドレスデコーダの出力WL₁もセンスアンプ活性化信号 ϕ_{SA} もすべて不活性化され、CAS信号の次の立下りによって X_i が新たにストローブされるとともにロウアドレスデコーダの出力WL₁およびセンスアンプ活性化信号 ϕ_{SA} が活性化されていた。

第1図および第2図に戻ると、T₁サイクルにおいて外部CAS信号の立ち下りによりカラムアドレスストローブ信号 ϕ_{RSTB} が活性化し、その時外部アドレス端子4に与えられている外部カラムアドレス信号 A_i （この例では Y_1 ）をカラムアドレス Y_i （例では Y_1 ）として出力する。このカラムアドレス Y_i がカラムアドレスデコーダ22に入力され、n個のカラムスイッチの1つが選択される。データが出力されていた多數のビット線 B_{Ln} のうち選択されたカラムスイッチに接続しているビット

線のデータがデータバスDBに伝わり、データアウトバッファ33を通して外部端子8に出力データとして出力される。その後外部信号RAS, CASの立ち上りによってチップは非選択になるが、ロウアドレスバッファ12, ロウアドレスデコーダ13, タイミング発生回路14, センスアンプ31はその状態を変えずに保持し続ける。

次にT₁サイクルにおいて、外部信号RASの立ち下りによりその時の外部アドレス信号A_i（例ではX₂）と内部で保持されているロウアドレス信号X_i（例ではX₂）がアドレス比較回路11によって比較される。この例では外部アドレスA_iとロウアドレスX_iは等しいので、アドレス不一致信号φ_{AxD}は活性化しない。アドレス不一致信号φ_{AxD}が活性化しないのでロウアドレスストローブ信号φ_{X₂STB}、ロウアドレスデコーダ活性化信号φ_{RAD}、センスアンプ活性化信号φ_{SA}は変化しない。従って、ロウアドレス系の回路は動作せずに前サイクルの時の状態を維持する。CAS信号の立ち下りによってカラムアドレス系の動作

が始まるが、カラムアドレス系の動作はT₁サイクルと同様である。

【発明の効果】

以上説明したように、本発明によれば前サイクルにアクセスしたロウアドレス系回路およびセンスアンプの内容を保持することにより、無駄な回路動作を省略することが出来るので、消費電力を低下させアクセス時間およびサイクル時間を短縮させることができる効果がある。

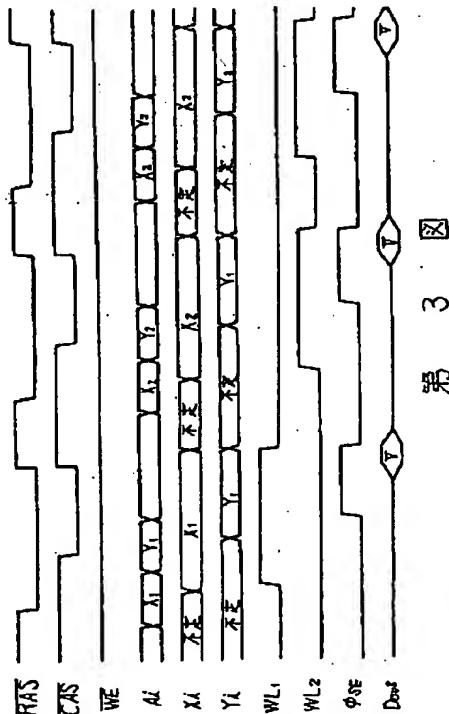
4. 図面の簡単な説明

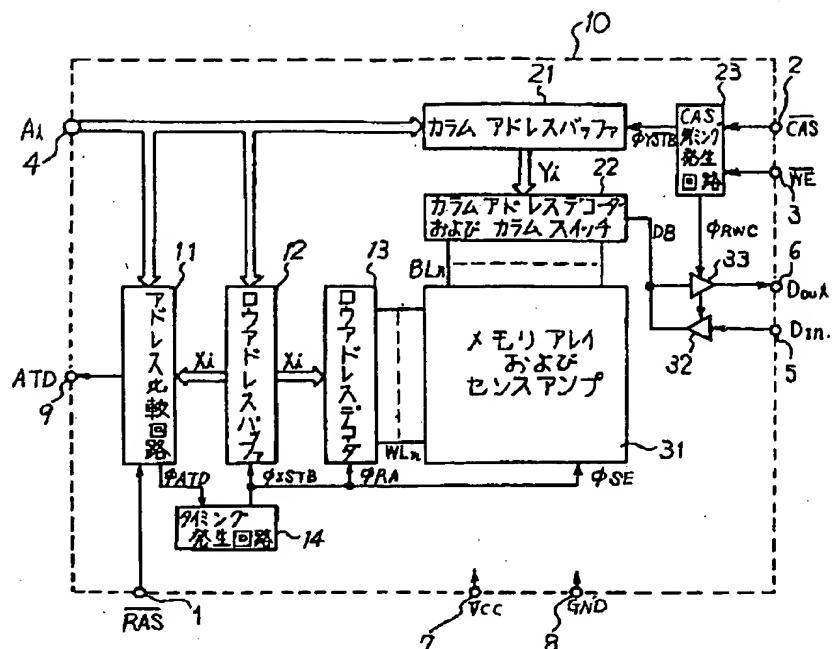
第1図は本発明の一実施例の半導体記憶回路の回路図、第2図は第1図の動作を示すタイミングチャート、第3図は従来例のタイミングチャートである。

11……アドレス比較回路、12……ロウアドレスバッファ、13……ロウアドレスデコーダ、14……タイミング発生回路、21……カラムアドレスバッファ、22……カラムアドレスデコーダおよびカラムスイッチ、23……カラム系タイ

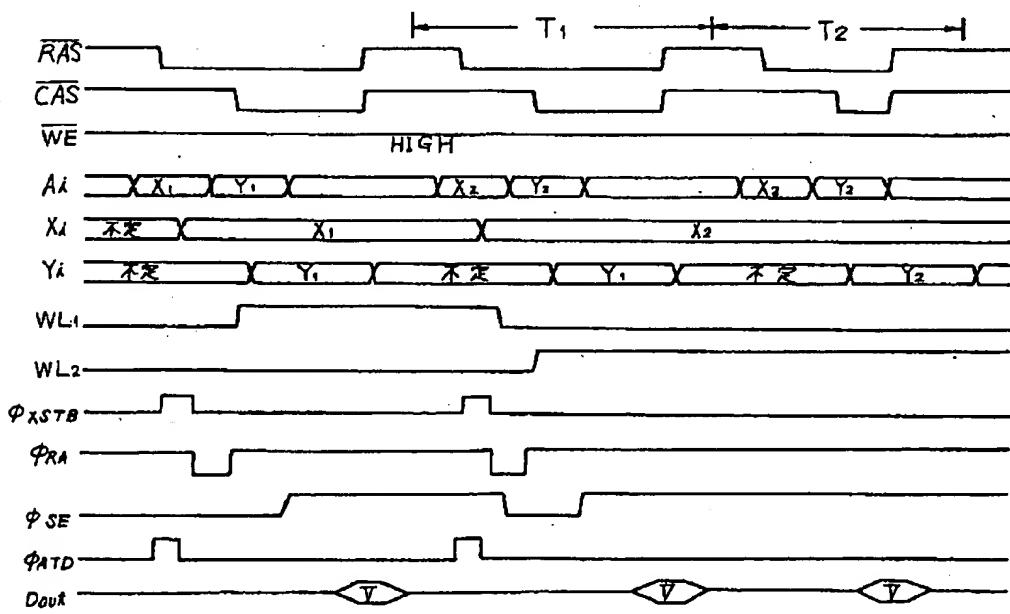
ミング発生回路、31……メモリアレイおよびセンスアンプ、32……データインバッファ、33……データアウトバッファ。

代理人弁理士 内原 音





第 1 図



第 2 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-132075
(43)Date of publication of application : 06.05.1992

(51)Int.CI. G11C 11/401

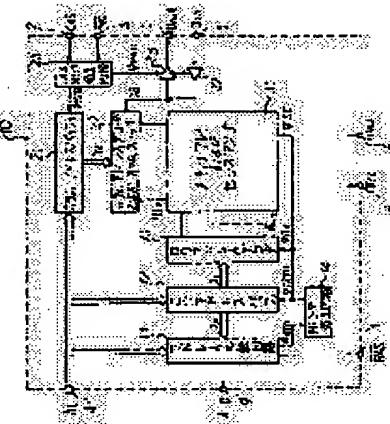
(21)Application number : 02-250856 (71)Applicant : NEC IC MICROCOMPUT SYST LTD
(22)Date of filing : 20.09.1990 (72)Inventor : SHIIYA JINKO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To reduce power consumption while omitting excessive circuit operation and to shorten access time and cycle time by holding the contents of a low address system circuit where the access to a former cycle is performed and a sense amplifier.

CONSTITUTION: A low address buffer 12 holding the internal low address even at the time of the non-selection of the chip and a timing generation circuit 14 comparing the external address added at the time of the next selection with the internal low address held already and operating only when the held internal low address and the external address are different, are provided. Even at the time of non-selection of the chip through the control of the output of the timing generation circuit 14, the operation states of a low address decoder 13 and a sense amplifier 31 are maintained. Thus, the increase of the power consumption and the increase of the access time can be suppressed in the low address system circuit without repeating the same operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office